

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218743

(43)Date of publication of application : 27.08.1993

(51)Int.CI.

H03B 5/36

H03B 5/32

(21)Application number : 04-019074

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 04.02.1992

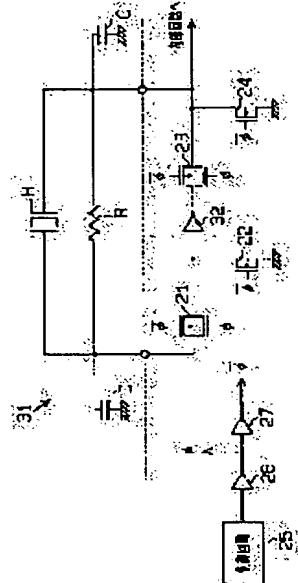
(72)Inventor : MIURA MANABU  
SHIMIZU TEN

## (54) CMOS CRYSTAL OSCILLATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To provide the CMOS crystal oscillation circuit whose circuit integration is attained with high accuracy and having a stop function of the oscillation.

**CONSTITUTION:** A crystal oscillator H and a feedback resistor R of a crystal oscillator 31 are connected in parallel and both of parallel connecting points are connected to a low potential side power supply via each capacitor C. A CMOS inverter circuit 32 is an amplifier circuit for a crystal oscillation circuit by connecting both terminals of the crystal oscillator H between its input and output terminal. Control signals &phiv;, inverse of &phiv; from a control circuit 25 are inputted to transmission gates 21, 23 and gates of MOS transistors(TRs) 22, 24, and when the oscillation is made, the transmission gates 21, 23 are turned on and MOS TRs 22, 24 are turned off. When the oscillation is stopped, the transmission gates 21, 23 are turned off and the MOS TRs 22, 24 are turned on.



### LEGAL STATUS

[Date of request for examination] 30.10.1998

[Date of sending the examiner's decision of rejection] 29.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The crystal oscillator which connected the crystal oscillator (H) and the feedback resistor (R) to juxtaposition, and connected the both ends to the low voltage side power source through each capacitor (C) (31). It is the CMOS ridge oscillator which consists of the CMOS inverter circuit (32) as an amplifying circuit for ridge oscillators which performs oscillation actuation by connecting the both ends of said crystal oscillator (H) between input/output terminals -- The 1st switch switch off when it connects between the input terminal of said CMOS inverter circuit (32), and the end of said crystal oscillator (H), it turns on when performing oscillation actuation, and suspending oscillation actuation. The 2nd switch switch on when it connects between the input terminal of said CMOS inverter circuit (32), a low voltage side power source, or a high potential side power source (VDD), it turns off when performing oscillation actuation, and suspending oscillation actuation. The 3rd switch switch off when it connects between the output terminal of said CMOS inverter circuit (32), and the other end of said crystal oscillator (H), it turns on when performing oscillation actuation, and suspending oscillation actuation. The CMOS ridge oscillator characterized by having the 4th switch switch on when it connects between the output terminal of said CMOS inverter circuit (32), a low voltage side power source, or a high potential side power source (VDD), it turns off when performing oscillation actuation, and suspending oscillation actuation.

[Claim 2] Said the 1st and 3 switch consists of transmission gates (21 23). Said the 2nd and 4 switch consists of MOS transistors (22 24). The control signal ( $\phi$ ,  $\bar{\phi}$ ) from a control circuit (25) is inputted into the transmission gate (21 23) and each gate of an MOS transistor (22 24). When performing oscillation actuation, while making a transmission gate (21 23) into an ON state, an MOS transistor (22 24) is made into an OFF state. It is the CMOS ridge oscillator according to claim 1 characterized by making an MOS transistor (22 24) into an ON state while making a transmission gate (21 23) into an OFF state, when suspending oscillation actuation.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the ridge oscillator which used the CMOS inverter circuit as an amplifying circuit for ridge oscillators.

[0002] In recent years, in addition to highly-precise-izing and high integration, the stop function of oscillation actuation is demanded in the ridge oscillator prepared in semiconductor integrated circuit equipment.

[0003]

[Description of the Prior Art] Conventionally, the crystal oscillator 31 as an external device consists of a crystal oscillator H, a feedback resistor R, and two capacitors C, as shown in drawing 2. That is, a crystal oscillator H and a feedback resistor R are connected to juxtaposition, and the both ends are connected to both the output terminals of a crystal oscillator 31 while connecting with a low voltage side power source through each capacitor C.

[0004] And the ridge oscillator 33 is constituted by connecting both the output terminals of a crystal oscillator 31 to the input terminal and output terminal of the CMOS inverter circuit 32 as an amplifying circuit for ridge oscillators in which it is prepared by interior equipment. Namely, a ridge oscillator 33 amplifies the oscillation signal outputted from a crystal oscillator 31 by the inverter circuit 32, and is outputting it to the internal circuitry.

[0005] By the way, in the ridge oscillator 33 shown in drawing 2, oscillation actuation cannot be suspended to arbitration. Then, the ridge oscillator 35 which used NAND circuit 34 instead of the inverter circuit 32 as shown in drawing 3 is used to suspend oscillation actuation to arbitration. That is, one input terminal of NAND circuit 34 is connected to the output terminal of a crystal oscillator 31, and the control signal of H level or L level is inputted into the input terminal of another side of NAND circuit 34 from the control circuit (illustration abbreviation). Therefore, the ridge oscillator 35 performed oscillation actuation, when the control signal of H level was inputted, and when the control signal of L level is inputted, it has suspended oscillation actuation.

[0006]

[Problem(s) to be Solved by the Invention] By the way, the inverter circuit 32 of a ridge oscillator 33 consists of P channel MOS transistor 41 and an N-channel metal oxide semiconductor transistor 42, as shown in drawing 4. Moreover, NAND circuit 34 of a ridge oscillator 35 consists of P channel MOS transistors 51 and 52 and N-channel metal oxide semiconductor transistors 53 and 54, as shown in drawing 5, and the control signal is inputted into each gate of P channel MOS transistor 52 and the N-channel metal oxide semiconductor transistor 54. In addition, load-carrying capacity COUT It is a synthetic capacity of the input capacitance of an internal circuitry, and the capacity of a crystal oscillator 31. Therefore, load-carrying capacity COUT in an inverter circuit 32 and NAND circuit 34 It becomes equal.

[0007] The working speed of an inverter circuit 32 and NAND circuit 34 is the time constant tau 1 in an output wave which starts. And time constant tau 2 of falling It is determined and is a time constant tau 1 and tau 2. A working speed becomes quick, so that it is small. if on resistance between "RO1", a gland, and output Rhine is set to "RO2" for the on resistance between the high potential side power source VDD and output Rhine here -- each time constant tau 1 and tau 2 It comes to be shown in a formula (1) and (2).

[0008] tau1 =RO1 and COUT .... (1)

tau2 =RO2 and COUT .... (2)

Since the control signal of H level is inputted into NAND circuit 34 while the ridge oscillator 35 is performing oscillation actuation, P channel MOS transistor 52 is an OFF state. Therefore, the on

resistance RO1 in NAND circuit 34 becomes equal to the on resistance of P channel MOS transistor 51. Moreover, the on resistance RO1 in an inverter circuit 32 becomes equal to the on resistance of P channel MOS transistor 41. In addition, the on resistance of an MOS transistor is proportional to the inverse number of transistor size. Therefore, time constant tau 1 of NAND circuit 34 and an inverter circuit 32 What is necessary is to make it equal, namely, just to make equal transistor size of P channel MOS transistor 41 and P channel MOS transistor 51, in order to make the same the working speed of the standup of NAND circuit 34 and an inverter circuit 32.

[0009] Moreover, the on resistance RO2 in an inverter circuit 32 becomes equal to the on resistance of the N-channel metal oxide semiconductor transistor 42. On the other hand, the on resistance RO2 in NAND circuit 34 becomes equal to the sum of each on resistance of the N-channel metal oxide semiconductor transistors 53 and 54. Therefore, time constant tau 2 of NAND circuit 34 and an inverter circuit 32 It is made equal, namely, in order to make the same the working speed of falling of NAND circuit 34 and an inverter circuit 32, the sum of the inverse number of each transistor size of the N-channel metal oxide semiconductor transistors 53 and 54 and the inverse number of the transistor size of the N-channel metal oxide semiconductor transistor 42 must be made equal. That is, it is each transistor size of the N-channel metal oxide semiconductor transistors 42, 53, and 54, "W42" "W53", A formula (3) will be realized if "W54."

[0010]  $1/W42=1/W53+1/W54 \dots (3)$

Thus, NAND circuit 34 must be larger than the transistor size of the N-channel metal oxide semiconductor transistor 42 in each transistor size of the N-channel metal oxide semiconductor transistors 53 and 54, after making equal transistor size of P channel MOS transistor 51 and P channel MOS transistor 41, in order to have made the working speed the same in the top with many element numbers compared with the inverter circuit 32. Therefore, compared with the ridge oscillator 33 which uses an inverter circuit 32, the occupancy area on a semi-conductor substrate becomes large, and the ridge oscillator 35 using NAND circuit 34 as an amplifying circuit for ridge oscillators has the problem that high integration is difficult, when a working speed (or clock frequency) is made the same.

[0011] Moreover, the duty ratio of an inverter circuit 32 and NAND circuit 34 is each time constant tau 1 and a time constant tau 2. A ratio is determined. That is, a duty ratio is determined by the ratio of each on resistance RO1 and RO2 as shown in a formula (1) and (2).

[0012] Therefore, the duty ratio in an inverter circuit 32 becomes equal to the ratio of the on resistance of P channel MOS transistor 41, and the on resistance of the N-channel metal oxide semiconductor transistor 42. On the other hand, the duty ratio in NAND circuit 34 becomes equal to the ratio of the sum of the on resistance of P channel MOS transistor 51, and each on resistance of the N-channel metal oxide semiconductor transistors 53 and 54.

[0013] if mobility is set to "beta" and "VG" and a threshold electrical potential difference are set to "VTH" for gate voltage here -- on resistance RO of an MOS transistor It comes to be shown in a formula (4).

$RO = 1/[\beta(VG-VTH)] \dots (4)$

In two or more MOS transistors, it is difficult on manufacture to make the same mobility beta and the threshold electrical potential difference VTH. Therefore, compared with doubling the ratio of each on resistance of P channel MOS transistor 41 and the N-channel metal oxide semiconductor transistor 42 in an inverter circuit 32, it becomes difficult far on manufacture to double the ratio of the sum of the on resistance of P channel MOS transistor 51 and each on resistance of the N-channel metal oxide semiconductor transistors 53 and 54 in NAND circuit 34. That is, for NAND circuit 34, it compares with an inverter circuit 32 and a manufacture top duty ratio is variation and a cone.

[0014] Therefore, the ridge oscillator 35 using NAND circuit 34 as an amplifying circuit for ridge oscillators has the problem that oscillation precision becomes low by the variation in the duty ratio on manufacture, compared with the ridge oscillator 33 which uses an inverter circuit 32.

[0015] Made in order that this invention may solve the above-mentioned trouble, the purpose has the

stop function of oscillation actuation, and is to offer a CMOS ridge oscillator that it can be integrated highly and highly precise.

[0016]

[Means for Solving the Problem] The crystal oscillator connected the crystal oscillator and the feedback resistor to juxtaposition, and has connected the both ends to a low voltage side power source through each capacitor. The CMOS inverter circuit which is an amplifying circuit for ridge oscillators performs oscillation actuation by connecting the both ends of the crystal oscillator between input/output terminals.

[0017] It connects between the input terminal of said CMOS inverter circuit, and the end of said crystal oscillator, and the 1st switch is turned off when it turns on when performing oscillation actuation, and suspending oscillation actuation.

[0018] It connects between the input terminal of said CMOS inverter circuit, a low voltage side power source, or a high potential side power source, and the 2nd switch is turned on when it turns off when performing oscillation actuation, and suspending oscillation actuation.

[0019] It connects between the output terminal of said CMOS inverter circuit, and the other end of said crystal oscillator, and the 3rd switch is turned off when it turns on when performing oscillation actuation, and suspending oscillation actuation.

[0020] It connects between the output terminal of said CMOS inverter circuit, a low voltage side power source, or a high potential side power source, and the 4th switch is turned on when it turns off when performing oscillation actuation, and suspending oscillation actuation.

[0021]

[Function] When performing oscillation actuation, the 1st and 3rd switches are made to turn on, and the 2nd and 4th switches are made to turn off. Therefore, the input/output terminal of a CMOS inverter circuit is intercepted from a low voltage side power source or a high potential side power source, and performs oscillation actuation while connecting with a crystal oscillator.

[0022] Moreover, when suspending oscillation actuation, the 1st and 3rd switches are made to turn off, and the 2nd and 4th switches are made to turn on. Therefore, the input/output terminal of a CMOS inverter circuit is intercepted from a crystal oscillator while connecting with a low voltage side power source or a high potential side power source, and it suspends oscillation actuation, without being in an opening condition and malfunctioning.

[0023] Thus, the CMOS Xtal oscillation with the stop function of oscillation actuation is realizable with a small number four of switches.

[0024]

[Example] Hereafter, one example which materialized this invention is explained according to drawing 1. In addition, in this example, about the same configuration as drawing 2 and the conventional example shown in 4, a sign is made equal, and the detailed explanation is omitted.

[0025] The input terminal of an inverter circuit 32 is connected to the gland through the N-channel metal oxide semiconductor transistor 22 of \*\* as the 2nd switch while connecting with one output terminal of a crystal oscillator 31 through the transmission gate 21 as the 1st switch. Moreover, the output terminal of an inverter circuit 32 is connected to the gland through the N-channel metal oxide semiconductor transistor 24 as the 4th switch while connecting with the output terminal of another side of a crystal oscillator 31 through the transmission gate 23 as the 3rd switch.

[0026] A control circuit 25 outputs the control signal bar phi which is the reversal signal of a control signal phi through inverter circuits 26 and 27 while outputting the control signal phi of H level or L level through the inverter circuit 26 as a buffer. The control signal phi is inputted into the gate of the N channel each MOS transistor which constitutes each transmission gates 21 and 23. Moreover, the control signal bar phi is inputted into the gate of N channel each MOS transistors 22 and 24 while it is inputted into the gate of the P channel each MOS transistor which constitutes each transmission gates 21 and 23.

[0027] Next, actuation of the amplifying circuit for ridge oscillators constituted as mentioned above is explained. If the control signal phi of H level is outputted from an inverter circuit 26, from an inverter circuit 27, the control signal bar phi of L level will be outputted. Then, both the transmission gates 21 and 23 are turned on and turn off both the N-channel metal oxide semiconductor transistor. Therefore, the input/output terminal of an inverter circuit 32 is intercepted from a gland while connecting with the output terminal of a crystal oscillator 31, and it performs oscillation actuation like the conventional example. In addition, since the on resistance of transmission gates 21 and 23 is small enough compared with the feedback resistor R of a crystal oscillator 31, it does not affect oscillation actuation. Moreover, regardless of the level of a signal, since the signal propagation property of transmission gates 21 and 23 is good, it can perform stable oscillation actuation.

[0028] Moreover, if the control signal phi of L level is outputted from an inverter circuit 26, from an inverter circuit 27, the control signal bar phi of H level will be outputted. Then, both the transmission gates 21 and 23 are turned off and turn on both the N-channel metal oxide semiconductor transistors 22 and 24. Therefore, the input/output terminal of an inverter circuit 32 is intercepted from the output terminal of a crystal oscillator 31 while connecting with a gland, and it suspends oscillation actuation, without being in an opening condition and malfunctioning.

[0029] Thus, in the amplifying circuit for ridge oscillators of this example, oscillation actuation can be suspended to arbitration with the control signal phi outputted from a control circuit, and Bar phi. Moreover, by a working speed being quicker than NAND circuit 34, and being able to take high clock frequency upwards, if an inverter circuit 32 has the same occupancy area on a semi-conductor substrate, if the working speed (clock frequency) same since it is small compared with each MOS transistors 51-54 which constitute NAND circuit 34 as the ridge oscillator 35 of the conventional example using NAND circuit 34 is sufficient as each transistor size of transmission gates 21 and 23 and the N-channel metal oxide semiconductor transistors 22 and 24, by this example, high integration will become possible. Furthermore, as for an inverter circuit 32, for a pile reason, compared with NAND circuit 34, a manufacture top duty ratio can make oscillation precision high at variation compared with the ridge oscillator 35 of the conventional example by this example.

[0030] In addition, this invention is not limited to the above-mentioned example, and you may make it connect the input/output terminal of an inverter circuit 32 to the high potential side power source VDD through P channel MOS transistors 22 and 24, respectively. In this case, like the above-mentioned example, the input/output terminal of an inverter circuit 32 will be in an opening condition, and will not malfunction.

[0031] In addition, a feedback resistor R may be formed in interior equipment.

[0032]

[Effect of the Invention] As explained in full detail above, according to this invention, it has the stop function of oscillation actuation, and there is outstanding effectiveness which can offer a CMOS ridge oscillator that it can be integrated highly and highly precise.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the amplifying circuit for CMOS ridge oscillators of one example which materialized this invention.

[Drawing 2] It is the circuit diagram of the amplifying circuit for CMOS ridge oscillators of the conventional example.

[Drawing 3] It is the circuit diagram of the amplifying circuit for CMOS ridge oscillators of the conventional example.

[Drawing 4] It is the circuit diagram of an inverter circuit 32.

[Drawing 5] It is the circuit diagram of NAND circuit 34.

[Description of Notations]

H Crystal oscillator

R Feedback resister

C Capacitor

31 Crystal Oscillator

32 CMOS Inverter Circuit

21 Transmission Gate as 1st Switch

22 N-channel Metal Oxide Semiconductor Transistor as 2nd Switch

23 Transmission Gate as 3rd Switch

24 N-channel Metal Oxide Semiconductor Transistor as 4th Switch

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CORRECTION OR AMENDMENT

---

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Section partition] The 3rd partition of the 7th section

[Publication date] October 15, Heisei 11 (1999)

[Publication No.] Publication number 5-218743

[Date of Publication] August 27, Heisei 5 (1993)

[Annual volume number] Open patent official report 5-2188

[Application number] Japanese Patent Application No. 4-19074

[International Patent Classification (6th Edition)]

H03B 5/36

5/32

[FI]

H03B 5/36

5/32 D

[Procedure revision]

[Filing Date] October 30, Heisei 10

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[Proposed Amendment]

[Claim(s)]

[Claim 1] In the CMOS ridge oscillator by which the both ends of this feedback resistor (R) are connected to a low voltage side power source through a capacitor (C), respectively while a crystal oscillator (H), a feedback resistor (R), and a CMOS inverter circuit (32) are connected to juxtaposition, The 1st switch inserted in the preceding paragraph of said CMOS inverter circuit (32) (21), The 2nd switch inserted between the input of said CMOS inverter circuit (32), the low voltage side power source, or the high potential side power source (22),

The 3rd switch inserted in the latter part of said CMOS inverter circuit (32) (23),

The CMOS ridge oscillator characterized by having the 4th switch (24) inserted between the output of said CMOS inverter circuit (32), the low voltage side power source, or the high potential side power source.

[Claim 2] The CMOS ridge oscillator according to claim 1 characterized by carrying out on-off control of said each 1st-4th switch (21-24) with the control signal which a control circuit (25) outputs.

[Claim 3] Said 1st and 3rd switches (21 23) are turned on when performing oscillation actuation, and when suspending oscillation actuation, it turns off,

The CMOS ridge oscillator according to claim 1 or 2 characterized by turning on when said 2nd and 4th switches (22 24) are turned off when performing oscillation actuation, and suspending oscillation actuation.

[Claim 4] A CMOS ridge oscillator given in claim 1 characterized by constituting said 1st and 3rd switches (21 23) from a transmission gate, respectively thru/or any 1 term of 3.

[Claim 5] A CMOS ridge oscillator given in claim 1 characterized by preparing said feedback resistor (R) in interior equipment thru/or any 1 term of 4.

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0016

[Method of Amendment] Modification

[Proposed Amendment]

[0016]

[Means for Solving the Problem] While a crystal oscillator, a feedback resistor, and a CMOS inverter circuit are connected to juxtaposition, as for a CMOS ridge oscillator, the both ends of this feedback resistor are connected to a low voltage side power source through a capacitor, respectively. The 1st switch is inserted in the preceding paragraph of said CMOS inverter circuit. The 2nd switch is inserted between the input of said CMOS inverter circuit, a low voltage side power source, or a high potential

side power source. The 3rd switch is inserted in the latter part of said CMOS inverter circuit. The 4th switch is inserted between the output of said CMOS inverter circuit, a low voltage side power source, or a high potential side power source.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0017

[Method of Amendment] Deletion

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0018

[Method of Amendment] Deletion

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0019

[Method of Amendment] Deletion

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0020

[Method of Amendment] Deletion

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0021

[Method of Amendment] Modification

[Proposed Amendment]

[0021]

[Function] If the 2nd and 4th switches are made to turn off while making the 1st and 3rd switches turn on, the input/output terminal of a CMOS inverter circuit will be intercepted from a low voltage side power source or a high potential side power source while connecting with a crystal oscillator, and oscillation actuation will be performed. Moreover, if the 2nd and 4th switches are made to turn on while making the 1st and 3rd switches turn off, while the input terminal of a CMOS inverter circuit is connected to a low voltage side power source or a high potential side power source, it is intercepted from a crystal oscillator, and oscillation actuation will be suspended, without being in an opening condition and malfunctioning. Thus, a CMOS ridge oscillator with the stop function of oscillation actuation is realizable with a small number four of switches. <BR> [Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0022

[Method of Amendment] Deletion

[Procedure amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0023

[Method of Amendment] Deletion

[Procedure amendment 10]

[Document to be Amended] Specification

[Item(s) to be Amended] 0025

[Method of Amendment] Modification

[Proposed Amendment]

[0025] The input terminal of an inverter circuit 32 is connected to the low voltage side power source (gland) through the N-channel metal oxide semiconductor transistor 22 as the 2nd switch while connecting with one output terminal of a crystal oscillator 31 through the transmission gate 21 as the

1st switch. Moreover, the output terminal of an inverter circuit 32 is connected to the output terminal of another side of a crystal oscillator 31 through the transmission gate 23 as the 3rd switch. Furthermore, the output terminal of another side of a crystal oscillator 31 is connected to the low voltage side power source (gland) through the N-channel metal oxide semiconductor transistor 24 as the 4th switch.

[Procedure amendment 11]

[Document to be Amended] Specification

[Item(s) to be Amended] 0027

[Method of Amendment] Modification

[Proposed Amendment]

[0027] Next, actuation of the amplifying circuit for ridge oscillators constituted as mentioned above is explained. If the control signal phi of H level is outputted from an inverter circuit 26, from an inverter circuit 27, the control signal bar phi of L level will be outputted. Then, both the transmission gates 21 and 23 are turned on and turn off both the N-channel metal oxide semiconductor transistors 22 and 24. Therefore, the input/output terminal of an inverter circuit 32 is intercepted from a gland while connecting with the output terminal of a crystal oscillator 31, and it performs oscillation actuation like the conventional example. In addition, since the on resistance of transmission gates 21 and 23 is small enough compared with the feedback resister R of a crystal oscillator 31, it does not affect oscillation actuation. Moreover, regardless of the level of a signal, since the signal propagation property of transmission gates 21 and 23 is good, it can perform stable oscillation actuation.

[Procedure amendment 12]

[Document to be Amended] Specification

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[Proposed Amendment]

[0028] Moreover, if the control signal phi of L level is outputted from an inverter circuit 26, from an inverter circuit 27, the control signal bar phi of H level will be outputted. Then, both the transmission gates 21 and 23 are turned off and turn on both the N-channel metal oxide semiconductor transistors 22 and 24. Therefore, the input terminal of an inverter circuit 32 is intercepted from the output terminal of a crystal oscillator 31 while connecting with a gland, and it suspends oscillation actuation, without being in an opening condition and malfunctioning.

[Procedure amendment 13]

[Document to be Amended] Specification

[Item(s) to be Amended] 0030

[Method of Amendment] Modification

[Proposed Amendment]

[0030] In addition, this invention is not limited to the above-mentioned example, and you may make it connect the input/output terminal of an inverter circuit 32 to the high potential side power source VDD through P channel MOS transistors 22 and 24, respectively. In this case, like the above-mentioned example, the input terminal of an inverter circuit 32 is connected to the high potential side power source VDD, and it will be in an opening condition and will not malfunction.

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218743

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.<sup>5</sup>

H 03 B  
5/36  
5/32

識別記号

序内整理番号  
8321-5 J  
D 8321-5 J

F I

技術表示箇所

(21)出願番号 特願平4-19074

(22)出願日 平成4年(1992)2月4日

審査請求 未請求 請求項の数2(全5頁)

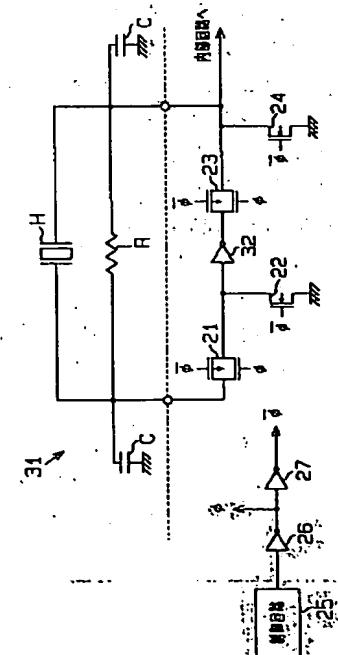
(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(71)出願人 000237617  
富士通ヴィエルエスアイ株式会社  
愛知県春日井市高蔵寺町2丁目1844番2  
(72)発明者 三浦 学  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内  
(72)発明者 清水 天  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内  
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】CMOS水晶発振回路

(57)【要約】

【目的】発振動作の停止機能を有して高集積化が可能で、高精度なCMOS水晶発振回路を提供することを目的とする。

【構成】水晶発振器31は水晶発振子Hと帰還抵抗Rを並列に接続し、その両端を各コシデンサCを介して低電位側電源に接続する。CMOSインバータ回路32は前記水晶発振子Hの両端を入出力端子間に接続することにより発振動作を行う水晶発振回路用增幅回路である。トランジションゲート21, 23およびMOSトランジスタ22, 24の各ゲートには制御回路25からの制御信号φ, バーφが入力され、発振動作を行うときはトランジションゲート21, 23をオン状態にすると共にMOSトランジスタ22, 24をオフ状態にし、発振動作を停止するときはトランジションゲート21, 23をオフ状態にすると共にMOSトランジスタ22, 24をオン状態にする。



(2)

2

## 【特許請求の範囲】

【請求項 1】 水晶発振子 (H) と帰還抵抗 (R) を並列に接続し、その両端を各コンデンサ (C) を介して低電位側電源に接続した水晶発振器 (3 1) と、

前記水晶発振子 (H) の両端を入出力端子間に接続することにより発振動作を行う水晶発振回路用增幅回路としてのCMOSインバータ回路 (3 2) とから成るCMOS水晶発振回路において、

前記CMOSインバータ回路 (3 2) の入力端子と前記水晶発振子 (H) の一端との間に接続され、発振動作を行うときオンし発振動作を停止するときオフする第1のスイッチと、

前記CMOSインバータ回路 (3 2) の入力端子と低電位側電源または高電位側電源 (VDD) との間に接続され、発振動作を行うときオフし発振動作を停止するときオンする第2のスイッチと、

前記CMOSインバータ回路 (3 2) の出力端子と前記水晶発振子 (H) の他端との間に接続され、発振動作を行うときオンし発振動作を停止するときオフする第3のスイッチと、

前記CMOSインバータ回路 (3 2) の出力端子と低電位側電源または高電位側電源 (VDD) との間に接続され、発振動作を行うときオフし発振動作を停止するときオンする第4のスイッチとを備えたことを特徴とするCMOS水晶発振回路。

【請求項 2】 前記第1, 3のスイッチはトランスマッシュゲート (2 1, 2 3) から構成され、前記第2, 4のスイッチはMOSトランジスタ (2 2, 2 4) から構成され、そのトランスマッシュゲート (2 1, 2 3) およびMOSトランジスタ (2 2, 2 4) の各ゲートには制御回路 (2 5) からの制御信号 (φ, バーφ) が入力され、発振動作を行うときはトランスマッシュゲート (2 1, 2 3) をオン状態にすると共にMOSトランジスタ (2 2, 2 4) をオフ状態にし、発振動作を停止するときはトランスマッシュゲート (2 1, 2 3) をオフ状態にすると共にMOSトランジスタ (2 2, 2 4) をオン状態にすることを特徴とする請求項1記載のCMOS水晶発振回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は水晶発振回路用增幅回路としてCMOSインバータ回路を用いた水晶発振回路に関するものである。

【0002】 近年、半導体集積回路装置に設けられた水晶発振回路においては、高精度化および高集積化に加えて発振動作の停止機能が要求されている。

## 【0003】

【従来の技術】 従来、外部装置としての水晶発振器 3 1 は、図 2 に示すように、水晶発振子 H、帰還抵抗 R、および 2 つのコンデンサ C から構成されている。すなわ

ち、水晶発振子 H と帰還抵抗 R は並列に接続され、その両端は各コンデンサ C を介して低電位側電源に接続されると共に、水晶発振器 3 1 の両出力端子に接続されている。

【0004】 そして、水晶発振器 3 1 の両出力端子を、内部装置に設けられている水晶発振回路用增幅回路としての CMOS インバータ回路 3 2 の入力端子および出力端子に接続することにより、水晶発振回路 3 3 が構成されている。すなわち、水晶発振回路 3 3 は、水晶発振器 3 1 から出力される発振信号をインバータ回路 3 2 で増幅して内部回路に出力している。

【0005】 ところで、図 2 に示す水晶発振回路 3 3 では任意に発振動作を停止することができない。そこで、発振動作を任意に停止したい場合には、図 3 に示すようにインバータ回路 3 2 の代わりに NAND 回路 3 4 を用いた水晶発振回路 3 5 が用いられる。すなわち、NAND 回路 3 4 の一方の入力端子は水晶発振器 3 1 の出力端子に接続され、NAND 回路 3 4 の他方の入力端子には制御回路 (図示略) から H レベルまたは L レベルの制御信号が入力されている。従って、水晶発振回路 3 5 は H レベルの制御信号が入力されているとき発振動作を行い、L レベルの制御信号が入力されているときは発振動作を停止している。

## 【0006】

【発明が解決しようとする課題】 ところで、水晶発振回路 3 3 のインバータ回路 3 2 は、図 4 に示すように P チャネル MOS トランジスタ 4 1 および N チャネル MOS トランジスタ 4 2 から構成されている。また、水晶発振回路 3 5 のホシボ回路 3 4 は、図 5 に示すように P チャネル MOS トランジスタ 5 1, 5 2 および N チャネル MOS トランジスタ 5 3, 5 4 から構成され、P チャネル MOS トランジスタ 5 2 および N チャネル MOS トランジスタ 5 4 の各ゲートに制御信号が入力されている。

尚、負荷容量 COUT は内部回路の入力容量と水晶発振器 3 1 の容量の合成容量である。従って、インバータ回路 3 2 および NAND 回路 3 4 における負荷容量 COUT は等しくなる。

【0007】 インバータ回路 3 2 および NAND 回路 3 4 の動作速度は、出力波形における立ち上がりの時定数 τ 1 および立ち下がりの時定数 τ 2 によって決定され、時定数 τ 1, τ 2 が小さい程、動作速度は速くなる。ここで、高電位側電源 VDD と出力ライン間のオン抵抗を「R 01」、グランドと出力ライン間のオン抵抗を「R 02」とすると、各時定数 τ 1, τ 2 は式 (1), (2) に示すようになる。

$$\tau_1 = R_{01} \cdot C_{OUT} \dots (1)$$

$$\tau_2 = R_{02} \cdot C_{OUT} \dots (2)$$

水晶発振回路 3 5 が発振動作を行っているときには NAND 回路 3 4 に H レベルの制御信号が入力されているため、P チャネル MOS トランジスタ 5 2 はオフ状態であ

(3)

3

る。そのため、ナンド回路3.4におけるオン抵抗R01はPチャネルMOSトランジスタ5.1のオン抵抗に等しくなる。また、インバータ回路3.2におけるオン抵抗R01はPチャネルMOSトランジスタ4.1のオン抵抗に等しくなる。尚、MOSトランジスタのオン抵抗はトランジスタサイズの逆数に比例する。従って、ナンド回路3.4とインバータ回路3.2の時定数 $\tau_1$ を等しくする、即ち、ナンド回路3.4とインバータ回路3.2の立ち上がりの動作速度を同じにするには、PチャネルMOSトランジスタ4.1とPチャネルMOSトランジスタ5.1のトランジスタサイズを等しくすればよい。

【000.9】また、インバータ回路3.2におけるオン抵抗R02はNチャネルMOSトランジスタ4.2のオン抵抗に等しくなる。一方、ナンド回路3.4におけるオン抵抗R02はNチャネルMOSトランジスタ5.3, 5.4の各オン抵抗の和に等しくなる。従って、ナンド回路3.4とインバータ回路3.2の時定数 $\tau_2$ を等しくする、即ち、ナンド回路3.4とインバータ回路3.2の立ち下がりの動作速度を同じにするには、NチャネルMOSトランジスタ5.3, 5.4の各トランジスタサイズの逆数の和と、NチャネルMOSトランジスタ4.2のトランジスタサイズの逆数とを等しくしなければならない。つまり、NチャネルMOSトランジスタ4.2, 5.3, 5.4の各トランジスタサイズを「W42」、「W53」、「W54」とすると式(3)が成り立つ。

【001.0】 $1/W42 = 1/W53 + 1/W54 \dots (3)$   
このように、ナンド回路3.4はインバータ回路3.2に比べて素子数が多い上に、動作速度を同じにするには、PチャネルMOSトランジスタ5.1とPチャネルMOSトランジスタ4.1のトランジスタサイズを等しくした上で、NチャネルMOSトランジスタ5.3, 5.4のそれぞれのトランジスタサイズを、NチャネルMOSトランジスタ4.2のトランジスタサイズより大きくなければならない。従って、水晶発振回路用增幅回路としてナンド回路3.4を用いる水晶発振回路3.5は、インバータ回路3.2を用いる水晶発振回路3.3と比べて、動作速度（または動作周波数）を同じにすると半導体基板上の占有面積が大きくなり高集積化が難しいという問題がある。

【001.1】また、インバータ回路3.2およびナンド回路3.4のデューティ比は、各時定数 $\tau_1$ , 時定数 $\tau_2$ の比によって決定される。すなわち、式(1), (2)に示すように、デューティ比は各オン抵抗R01, R02の比によって決定される。

【001.2】従って、インバータ回路3.2におけるデューティ比は、PチャネルMOSトランジスタ4.1のオン抵抗とNチャネルMOSトランジスタ4.2のオン抵抗の比に等しくなる。一方、ナンド回路3.4におけるデューティ比は、PチャネルMOSトランジスタ5.1のオン抵抗と、NチャネルMOSトランジスタ5.3, 5.4の各オン抵抗の和の比に等しくなる。

(4)

4

【001.3】ここで、移動度を「 $\beta$ 」、ゲート電圧を「VG」、しきい値電圧を「VTH」とすると、MOSトランジスタのオン抵抗R0は式(4)に示すようになる。

$$R0 = 1 / [\beta \cdot (VG - VTH)] \dots (4)$$

複数のMOSトランジスタにおいて、移動度 $\beta$ およびしきい値電圧VTH同じにすることは製造上難しい。従って、インバータ回路3.2においてPチャネルMOSトランジスタ4.1とNチャネルMOSトランジスタ4.2の各オン抵抗の比を合わせるのに比べて、ナンド回路3.4においてPチャネルMOSトランジスタ5.1のオン抵抗とNチャネルMOSトランジスタ5.3, 5.4の各オン抵抗の和の比を合わせるのは製造上はるかに難しくなる。すなわち、ナンド回路3.4はインバータ回路3.2に比べて製造上デューティ比がバラツキやすい。

【001.4】従って、水晶発振回路用增幅回路としてナンド回路3.4を用いる水晶発振回路3.5は、インバータ回路3.2を用いる水晶発振回路3.3に比べて、製造上のデューティ比のバラツキにより発振精度が低くなるという問題がある。

【001.5】本発明は上記問題点を解決するためになされたものであつて、その目的は、発振動作の停止機能を有し、高集積化が可能で高精度なCMOS水晶発振回路を提供することにある。

【001.6】

【課題を解決するための手段】水晶発振器は、水晶発振子と帰還抵抗を並列に接続し、その両端を各コンデンサを介して低電位側電源に接続している。水晶発振回路用增幅回路であるCMOSインバータ回路は、その水晶発振子の両端を入出力端子間に接続することにより発振動作を行う。

【001.7】第1のスイッチは、前記CMOSインバータ回路の入力端子と前記水晶発振子の一端との間に接続され、発振動作を行うときオンし発振動作を停止するときオフする。

【001.8】第2のスイッチは、前記CMOSインバータ回路の入力端子と低電位側電源または高電位側電源との間に接続され、発振動作を行うときオフし発振動作を停止するときオンする。

【001.9】第3のスイッチは、前記CMOSインバータ回路の出力端子と前記水晶発振子の他端との間に接続され、発振動作を行うときオンし発振動作を停止するときオフする。

【002.0】第4のスイッチは、前記CMOSインバータ回路の出力端子と低電位側電源または高電位側電源との間に接続され、発振動作を行うときオフし発振動作を停止するときオンする。

【002.1】

【作用】発振動作を行うときは、第1および第3のスイッチをオンさせ、第2および第4のスイッチをオフさせ

(4)

5

る。従って、CMOSインバータ回路の入出力端子は水晶発振器に接続されると共に低電位側電源または高電位側電源から遮断され発振動作を行う。

【0022】また、発振動作を停止するときは、第1および第3のスイッチをオフさせ、第2および第4のスイッチをオンさせる。従って、CMOSインバータ回路の入出力端子は低電位側電源または高電位側電源に接続されると共に水晶発振器から遮断され、オープン状態となって誤動作することなく発振動作を停止する。

【0023】このように、4つという少ない数のスイッチで発振動作の停止機能を有したCMOS水晶発振を実現することができる。

【0024】

【実施例】以下、本発明を具体化した一実施例を図1に従って説明する。尚、本実施例において、図2、4に示す従来例と同じ構成については符号を等しくしてその詳細な説明を省略する。

【0025】インバータ回路32の入力端子は、第1のスイッチとしてのトランスマッショングート21を介して水晶発振器31の一方の出力端子に接続されると共に、第2のスイッチとしのNチャネルMOSトランジスタ22を介してグランドに接続されている。また、インバータ回路32の出力端子は、第3のスイッチとしてのトランスマッショングート23を介して水晶発振器31の他方の出力端子に接続されると共に、第4のスイッチとしてのNチャネルMOSトランジスタ24を介してグランドに接続されている。

【0026】制御回路25はバッファとしてのインバータ回路26を介してHレベルまたはLレベルの制御信号φを出力すると共に、インバータ回路26、27を介して制御信号φの反転信号である制御信号バーφを出力する。その制御信号φは、各トランスマッショングート21、23を構成する各NチャネルMOSトランジスタのゲートに入力される。また、制御信号バーφは、各トランスマッショングート21、23を構成する各PチャネルMOSトランジスタのゲートに入力されると共に、各NチャネルMOSトランジスタ22、24のゲートに入力される。

【0027】次に、上記のように構成された水晶発振回路用增幅回路の動作について説明する。インバータ回路26からHレベルの制御信号φが出力されると、インバータ回路27からはLレベルの制御信号バーφが出力される。すると、両トランスマッショングート21、23はオンし、両NチャネルMOSトランジスタはオフする。従って、インバータ回路32の入出力端子は水晶発振器31の出力端子に接続されると共にグランドから遮断され、従来例と同様に発振動作を行う。尚、トランスマッショングート21、23のオン抵抗は水晶発振器31の帰還抵抗Rに比べて充分小さいので発振動作に影響を与えることはない。また、トランスマッショングート

6

21、23の信号伝播特性は信号のレベルに関係なく良好なため、安定した発振動作を行うことができる。

【0028】また、インバータ回路26からLレベルの制御信号φが出力されると、インバータ回路27からはHレベルの制御信号バーφが出力される。すると、両トランスマッショングート21、23はオフし、両NチャネルMOSトランジスタ22、24はオンする。従って、インバータ回路32の入出力端子はグランドに接続されると共に水晶発振器31の出力端子から遮断され、オープン状態となって誤動作することなく発振動作を停止する。

【0029】このように、本実施例の水晶発振回路用增幅回路においては、制御回路から出力される制御信号φ、バーφにより任意に発振動作を停止することができる。また、インバータ回路32は半導体基板上の占有面積が同一ならば NAND回路34より動作速度が速く動作周波数を高くとることができる上に、トランスマッショングート21、23およびNチャネルMOSトランジスタ22、24の各トランジスタサイズは NAND回路34を構成する各MOSトランジスタ51～54に比べて小さいので、NAND回路34を用いた従来例の水晶発振回路35と同じ動作速度(動作周波数)でなければ本実施例では高集積化が可能になる。さらに、インバータ回路32は NAND回路34に比べて製造上デューティ比がバラツキにくいため、本実施例では従来例の水晶発振回路35に比べて発振精度を高くすることができる。

【0030】尚、本発明は上記実施例に限定されるものではなく、例えば、インバータ回路32の入出力端子はそれぞれ、PチャネルMOSトランジスタ22および24を介して高電位側電源VDDに接続するようにしてもよい。この場合も上記実施例と同様に、インバータ回路32の入出力端子がオープン状態になって誤動作することはない。

【0031】加えて、帰還抵抗Rは内部装置に設けてよい。

【0032】

【発明の効果】以上詳述したように本発明によれば、発振動作の停止機能を有し、高集積化が可能で高精度なCMOS水晶発振回路を提供できる優れた効果がある。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例のCMOS水晶発振回路用增幅回路の回路図である。

【図2】従来例のCMOS水晶発振回路用增幅回路の回路図である。

【図3】従来例のCMOS水晶発振回路用增幅回路の回路図である。

【図4】インバータ回路32の回路図である。

【図5】NAND回路34の回路図である。

【符号の説明】

50 H 水晶発振子

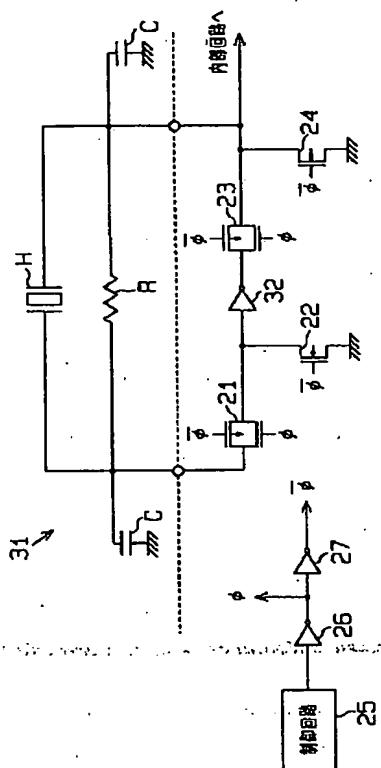
(5)

R 帰還抵抗  
 C コンデンサ  
 31 水晶発振器  
 32 CMOSインバータ回路  
 21 第1のスイッチとしてのトランスマッショングート

7

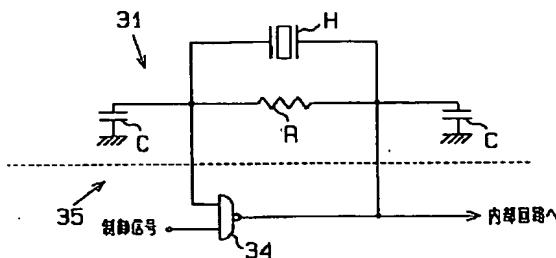
【図1】

本発明を具体化した一実例のCMOS水晶発振回路用増幅回路の回路図



【図3】

従来例のCMOS水晶発振回路用増幅回路の回路図

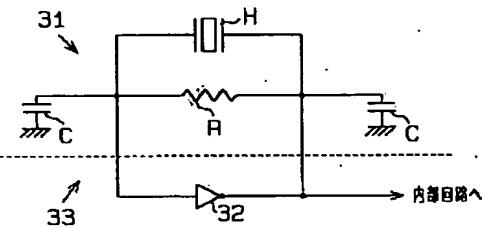


22 第2のスイッチとしてのNチャネルMOSトランジスタ  
 23 第3のスイッチとしてのトランスマッショングート  
 24 第4のスイッチとしてのNチャネルMOSトランジスタ

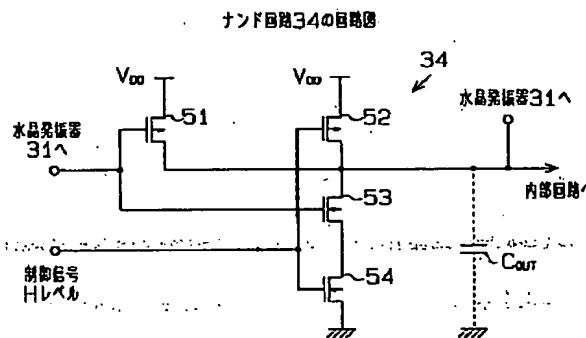
8

【図2】

従来例のCMOS水晶発振回路用増幅回路の回路図

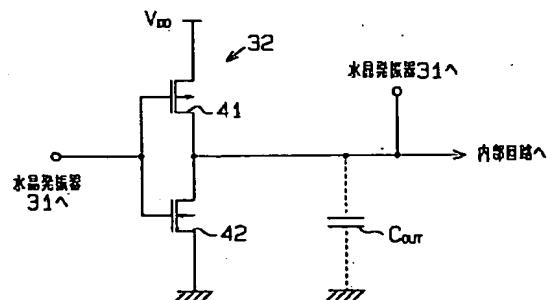


【図5】



【図4】

インバータ回路32の回路図



【公報種別】特許法第17条の2の規定による補正の掲載、

【部門区分】第7部門第3区分

【発行日】平成11年(1999)10月15日

【公開番号】特開平5-218743

【公開日】平成5年(1993)8月27日

【年通号数】公開特許公報5-2188

【出願番号】特願平4-19074

【国際特許分類第6版】

H03B 5/36

5/32

【F I】

H03B 5/36

5/32

【手続補正書】

【提出日】平成10年10月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 水晶発振子(H)と帰還抵抗(R)とCMOSインバータ回路(32)とが並列に接続されるとともに該帰還抵抗(R)の両端がそれぞれコンデンサ(C)を介して低電位側電源に接続されるCMOS水晶発振回路において、

前記CMOSインバータ回路(32)の前段に挿入された第1のスイッチ(21)と、

前記CMOSインバータ回路(32)の入力と低電位側電源又は高電位側電源との間に挿入された第2のスイッチ(22)と、

前記CMOSインバータ回路(32)の後段に挿入された第3のスイッチ(23)と、

前記CMOSインバータ回路(32)の出力と低電位側電源又は高電位側電源との間に挿入された第4のスイッチ(24)とを備えたことを特徴とするCMOS水晶発振回路。

【請求項2】 前記各第1～第4のスイッチ(21～24)を、制御回路(25)が出力する制御信号によってオン・オフ制御することを特徴とする請求項1に記載のCMOS水晶発振回路。

【請求項3】 前記第1及び第3のスイッチ(21, 23)を、発振動作を行なうときオンし、発振動作を停止するときオフし、

前記第2及び第4のスイッチ(22, 24)を、発振動作を行なうときオフし、発振動作を停止するときオンすることを特徴とする請求項1又は2に記載のCMOS水晶発振回路。

【請求項4】 前記第1及び第3のスイッチ(21, 23)を、それぞれトランジションゲートで構成したことを特徴とする請求項1乃至3のいずれか1項に記載のCMOS水晶発振回路。

【請求項5】 前記帰還抵抗(R)を内部装置に設けたことを特徴とする請求項1乃至4のいずれか1項に記載のCMOS水晶発振回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【課題を解決するための手段】CMOS水晶発振回路は、水晶発振子と帰還抵抗とCMOSインバータ回路とが並列に接続されるとともに該帰還抵抗の両端がそれぞれコンデンサを介して低電位側電源に接続される。前記CMOSインバータ回路の前段に第1のスイッチを挿入する。前記CMOSインバータ回路の入力と低電位側電源又は高電位側電源との間に第2のスイッチを挿入する。前記CMOSインバータ回路の後段に第3のスイッチを挿入する。前記CMOSインバータ回路の出力と低電位側電源又は高電位側電源との間に第4のスイッチを挿入する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

(2)

【補正対象項目名】 0019

【補正方法】 削除

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0020

【補正方法】 削除

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0021

【補正方法】 変更

【補正内容】

【0021】

【作用】 第1及び第3のスイッチをオンさせるとともに、第2及び第4のスイッチをオフさせれば、CMOSインバータ回路の入出力端子は水晶発振器に接続されるとともに低電位側電源又は高電位側電源から遮断され、発振動作が行われる。又、第1及び第3のスイッチをオフさせるとともに、第2及び第4のスイッチをオンさせれば、CMOSインバータ回路の入力端子は低電位側電源又は高電位側電源に接続されるとともに水晶発振器から遮断され、オープン状態となって誤動作することなく発振動作が停止される。このように、4つという少ない数のスイッチで発振動作の停止機能を有したCMOS水晶発振回路を実現することができる。

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0022

【補正方法】 削除

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0023

【補正方法】 削除

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0025

【補正方法】 変更

【補正内容】

【0025】 インバータ回路32の入力端子は、第1のスイッチとしてのトランジションゲート21を介して水晶発振器31の一方の出力端子に接続されると共に、第2のスイッチとしてのNチャネルMOSトランジスタ22を介して低電位側電源(グランド)に接続されている。また、インバータ回路32の出力端子は、第3のスイッチとしてのトランジションゲート23を介して水晶発振器31の他方の出力端子に接続されている。さらに、水晶発振器31の他方の出力端子は、第4のスイッチとしてのNチャネルMOSトランジスタ24

を介して低電位側電源(グランド)に接続されている。

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0027

【補正方法】 変更

【補正内容】

【0027】 次に、上記のように構成された水晶発振回路用增幅回路の動作について説明する。インバータ回路26からHレベルの制御信号φが出力されると、インバータ回路27からはLレベルの制御信号バーφが出力される。すると、両トランジションゲート21, 23はオンし、両NチャネルMOSトランジスタ22, 24はオフする。従って、インバータ回路32の入出力端子は水晶発振器31の出力端子に接続されると共にグランドから遮断され、従来例と同様に発振動作を行う。尚、トランジションゲート21, 23のオン抵抗は水晶発振器31の帰還抵抗Rに比べて充分小さいので発振動作に影響を与えることはない。また、トランジションゲート21, 23の信号伝播特性は信号のレベルに関係なく良好なため、安定した発振動作を行うことができる。

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0028

【補正方法】 変更

【補正内容】

【0028】 また、インバータ回路26からLレベルの制御信号φが出力されると、インバータ回路27からはHレベルの制御信号バーφが出力される。すると、両トランジションゲート21, 23はオフし、両NチャネルMOSトランジスタ22, 24はオンする。従って、インバータ回路32の入力端子はグランドに接続されると共に水晶発振器31の出力端子から遮断され、オープン状態となって誤動作することなく発振動作を停止する。

【手続補正】

【補正対象書類名】 明細書

【補正対象項目名】 0030

【補正方法】 変更

【補正内容】

【0030】 尚、本発明は上記実施例に限定されるものではなく、例えば、インバータ回路32の入出力端子はそれぞれ、PチャネルMOSトランジスタ22, 24を介して高電位側電源VDDに接続するようにしてもよい。この場合も上記実施例と同様に、インバータ回路32の入力端子が高電位側電源VDDに接続され、オープン状態になって誤動作することはない。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**